

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-270267

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-070725 (71)Applicant : NEC CORP

(22)Date of filing : 16.03.1999 (72)Inventor : TANAKA YOSHIKUNI

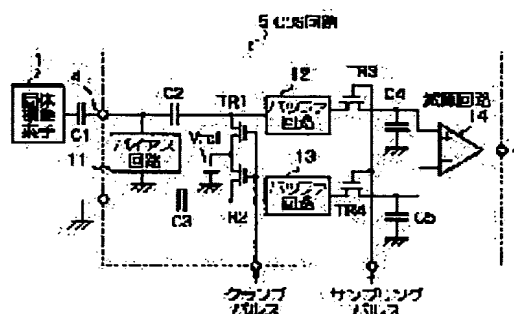
(54) NOISE ELIMINATION CIRCUIT FOR SOLID-STATE IMAGE PICKUP ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a noise elimination circuit whose its occupied are and power consumption are reduced, no buffer circuit is required for an output of a solid-state image pickup element, the time constant can easily be set to a proper value and a reset noise can sufficiently be eliminated.

SOLUTION: A correlation double sampling circuit 5 has a bias circuit 11, capacitors C2, C3, MOS transistors(TRs) 1, 2, a reference voltage source Vref, buffer circuits 12, 13, MOS TRs TR3, TR4, capacitors C4, C5 and a subtractor circuit 14. A prescribed operating level is given to an output signal from a solid-state image pickup element 1 by the bias circuit 11. The capacitor C2 configures a clamp circuit with the MOS TR1.

After a reset level in the input signal of the solid-state image pickup element 1 receiving the prescribed operating level is clamped to the prescribed level Vref, the level is sampled and held by a sample-hold circuit consisting of the MOS TR4 and the capacitor C4 via the buffer circuit 12.



LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Rest Available Copy

[Date of final disposal for application]

[Patent number] 3389949

[Date of registration] 17.01.2003

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평12-270267호(2000.09.29) 1부.

[첨부그림 1]

(10)日本国特許庁(J.P.)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2000-270267
(P2000-270267A)

(42)公開日 平成12年9月29日(2000.9.29)

(51)Int.Cl.
H04N 5/335

識別記号

P1
H04N 5/335

ページ数(部)
P 5C024

審査請求 有 審査請求の重3 01 (全8頁)

(21)出願番号 特願平11-70725
(22)出願日 平成11年3月18日(1999.3.18)

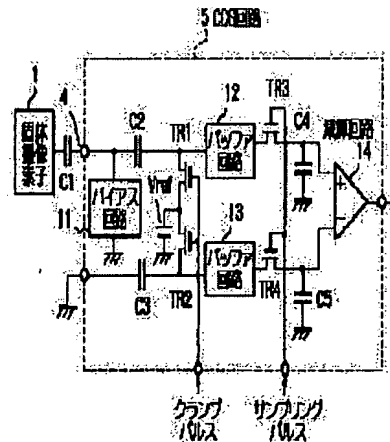
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 田中 哲朗
東京都港区芝五丁目7番1号 日本電気株式
会社社内
(74)代理人 100066228
弁理士 金田 暢之 (外2名)
Pターム(参考) E0124 A401 CA05 FA01 PA11 HA03
BA07 HA10 HA14 HA18

(54)【発明の名称】 固体撮像素子用雑音除去回路

【課題】 占有面積と消費電力を小さくでき、固体撮像素子の出力にバッファ回路が不要で、時定数が容易に最適化時に設定可能でリセット雑音を十分に除去することができる。固体撮像素子用雑音除去回路を提供する。

【解決手段】 相関二重サンプリング回路はバイアス回路1:1と容量C2、C3とMOSトランジスタTR1、TR2と基準電位源V_{ref1}とバッファ回路1:2、1:3とMOSトランジスタTR3、TR4と容量C4、C5と増幅回路1:4を有する。固体撮像素子1の出力信号はバイアス回路1:1で所定の動作電位を与えられる。容量C2はMOSトランジスタTR1とともにクランプ回路を構成している。所定の動作電位を与えられた

固体撮像素子1の出力信号中のリセット電位は所定の電位V_{ref1}にクランプされた後、バッファ回路1:2を経て、MOSトランジスタTR4と容量C4で構成されるサンプリングホールド回路でサンプルホールドされる。



【特許請求の範囲】

【請求項 1】 ゲート付き電荷積分回路を備えた固体撮像素子の出力信号を入力する第 1 の入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、
該バイアス回路で所定の動作電位に設定された出力信号中のリセット電位出力を所定の基準電位にクランプする第 1 のクランプ回路と、
接地に接続された第 2 の入力端子に接続され、第 2 の入力端子の電位を所定の基準電位にクランプする第 2 のクランプ回路と、
前記所定の基準電位を与える基準電位源と、
それぞれ第 1、第 2 のクランプ回路の出力をサンプルホールドする第 1、第 2 のサンプルホールド回路と、
第 1 のサンプルホールド回路の出力から第 2 のサンプルホールド回路の出力を減算する減算回路を有し、
半導体基板上に集積化されている相関二重サンプリング回路からなる固体撮像素子用雑音除去回路。

【請求項 2】 ゲート付き電荷積分回路を備えた固体撮像素子の出力信号を入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、
前記固体撮像素子の出力信号中の基準電位出力をサンプリングする第 1 のサンプリングホールド回路と、
該固体撮像素子の出力信号中の信号電荷に対応した信号出力をサンプリングする第 2 のサンプリングホールド回路と、
前記バイアス回路で所定の動作電位に設定された出力信号を第 1 および第 2 のサンプリングホールド回路の動作点電位にクランプするクランプ回路と、
第 1 のサンプリングホールド回路の出力を、第 2 のサンプリングホールド回路のサンプリングパルスと同じサンプリングパルスでサンプリングする第 3 のサンプリングホールド回路と、
第 2 のサンプリングホールド回路の出力から第 3 のサンプリングホールド回路の出力を減算する減算回路を有し、
半導体基板上に集積化されている相関二重サンプリング回路からなる固体撮像素子用雑音除去回路。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は固体撮像素子用の集積化雑音除去回路に関する。

【00002】

【従来の技術】 固体撮像素子は、フォトダイオードなどで構成された受光素子で光電変換され蓄積された信号電荷を周知のゲート付き電荷積分回路（フローティング拡散層アンプとも呼ばれる）で電圧信号に変換する。このゲート付き電荷積分回路は、1 画素の信号電荷を電圧に変換した後のリセット動作時にリセット雑音を生ずるため、これも周知の相関二重サンプリング法によってこのリセット雑音を除去して画像信号だけを取り出している。

るため、これも周知の相関二重サンプリング法によってこのリセット雑音を除去して画像信号だけを取り出している。

【00003】 図 6 はゲート付き電荷積分回路を備えた固体撮像素子を使用した固体撮像装置の一例を示す構成図である。固体撮像素子 1 の出力信号はバッファ回路 2 を介して相関二重サンプリング回路（CDS 回路）22 に供給される。駆動パルス発生回路 9 は固体撮像素子 1 を駆動すると共にこれと同期したクランプパルスとサンプリングパルスの二つのパルス 10 を相関二重サンプリング回路 22 に供給する。相関二重サンプリング回路 22 はゲート付き電荷積分回路のリセット雑音を除去する。相関二重サンプリング回路 22 でリセット雑音が除去された出力信号は、A/D 回路 23 で所定の大きさに増幅を調整された後、アナログデジタル変換器（A/D 変換器）24 でデジタル信号に変換され、次に映像信号処理回路 8 で映像信号が形成される。

【00004】 この相関二重サンプリング回路 22 を実現する具体的手段として、相関二重サンプリング回路 22 と A/D 回路 23 やアナログデジタル変換器（A/D 変換器）24 を一箇の信号処理 IC 21 に集積化して構成する方法がある。この信号処理 IC 21 は従来、消費電力や集積度の点から CMOS 集積回路で構成されることが多い。

【00005】 図 7 はこの CMOS 集積回路で構成された信号処理 IC 21 の構成要素の内の相関二重サンプリング回路の具体的な構成の一例を示す回路図である。固体撮像素子 1 の出力信号はバッファ回路 2 に供給される。バッファ回路 2 はエミッタフォロウ回路などで構成され、固体撮像素子 1 の高い出力インピーダンスを低出力インピーダンスに変換する。バッファ回路 2 の出力は容量 C1 を介し、図 7 で示す信号処理 IC 21 中の相関二重サンプリング回路（CDS 回路）22 に供給される。相関二重サンプリング回路 22 の MOS トランジスタ TR1 は容量 C1 と共にクランプ回路を構成し、駆動パルス発生回路 9 から供給されたクランプパルスによって固体撮像素子 1 の出力信号中のリセット電位を所定の電位 V_{ref} にクランプする。クランプされた出力信号は、次にバッファ回路 25 に供給され、バッファ回路 25 の出力は次に MOS トランジスタ TR3 に供給される。MOS トランジスタ TR3 と容量 C3 はサンプリングホールド回路を構成し、駆動パルス発生回路 9 から供給されたサンプリングパルスによって固体撮像素子の出力信号中の信号電位をサンプリングホールドして映像信号を得ている。

【00006】 容量 C2、MOS トランジスタ TR2、バッファ回路 26、MOS トランジスタ TR4、容量 C4 は、容量 C1、MOS トランジスタ TR3、バッファ回路 25、MOS トランジスタ TR3、容量 C3 と同一構成の回路を構成し、容量 C2 は入力が増幅されており、

この回路は前記サンプリングホールドされた映像信号のクランプパルスとサンプリングパルスの影響を除去するためのもので、演算回路27の負入力端子に接続されており、正入力に接続された前記サンプリングホールドされた映像信号から減算してクランプパルスとサンプリングパルスの影響を除去する。

【0007】

【発明が解決しようとする課題】 上記従来の技術において、相間二重サンプリング回路22のMOSトランジスタTR1は容量C1と共にクランプ回路を構成し、駆動パルス発生回路9から供給されたクランプパルスによって固体撮像素子1の出力信号中のリセット電位出力を所定の電位Vresetにクランプしている。周知のとおり、固体撮像素子のゲート付き電荷移動回路の出力信号中のリセット電位出力期間にはリセット雑音が発生している。信号電荷による出力電圧はこのリセット雑音によって変動したりリセット電位を基準に出力されるため、前述のとおり、出力信号中のリセット電位出力を所定の電位Vresetにクランプして一定値に固定することでリセット雑音を除去し、この一定値を基準に出力された信号電荷による出力電圧をサンプリングすればリセット雑音が除去された映像信号が得られる。

【0008】 この一定電位へ固定する動作は、前記クランプパルスによってMOSトランジスタTR1がオンしている期間に行われるが、リセット雑音を完全に除去するためには、MOSトランジスタTR1と容量C1で構成されたクランプ回路はリセット電位出力を一定電位Vresetに完全に固定する必要がある。したがって、MOSトランジスタTR1のオン抵抗と容量C1による時間定数が、前記クランプパルスの時間内でリセット電位出力を一定電位Vresetに完全に固定できる短い時間定数でなければならない。

【0009】 しかしながら、容量C1は小さい値の容量が使用できない。すなわち、CMOS集積回路で構成された相間二重サンプリング回路22の入力端子4は集積回路の構成要素が持つ寄生静電容量、すなわち、ボンディングパッドや配線、MOSトランジスタ、バッファ回路などによる寄生静電容量があり、入力信号がこれら寄生静電容量と容量C1との容量比で容量分割され、減算する。この容量分割による影響を無視できるようにするためには減算を1/100以下程度にしなければならない。容量C1をこの寄生容量の100倍程度と充分大きくして寄生静電容量の影響を受けないようにする必要があった。小さい値の容量が使用できない。

【0010】 この大きな容量C1を使用した場合、MOSトランジスタTR1のオン抵抗と容量C1による時間定数を、クランプパルスの時間内でリセット電位出力を一定電位Vresetに完全に固定できる短い時間定数にするためには、MOSトランジスタTR1のオン抵抗を充分小さくする必要がある。

【0011】 このため、MOSトランジスタTR1はその寸法が大きいトランジスタを用いなければならない。CMOS集積回路で構成するときに大きな面積を占有する欠点がある。さらにこの大きな容量C1に一定電位を与える電位Vresetはクランプ時にその電位が変動しないように大きな供給能力を持っている必要があり、これも同様に寸法が大きいトランジスタを用いて構成しなければならない。大きな面積を占有する欠点があった。同時に、大きな供給能力を持たせるためには寸法の他にインピーダンスを低くしなければならないが、インピーダンスは電流に比例して低くなるから、電流mAと大きなバイアス電流を流す必要があって消費電力が増大する欠点がある。さらに、大きな容量C1を駆動するために固体撮像素子の出力には駆動能力の大きなバッファ回路2を持たせる必要があり、これにも大きなバイアス電流を流す必要があってさらなる消費電力が増大する欠点がある。

【0012】 以上の欠点に加えて、固体撮像素子は通常数MHz～数10MHzで駆動されているため、MOSトランジスタTR1に印加されるクランプパルスのパルス幅は数ns～数十nsと非常に狭く、クランプ動作を完全に行わせるためには、MOSトランジスタTR1のオン抵抗と容量C1による時間定数がクランプパルス幅と同等の時間定数である必要があるが、CMOS集積回路で相間二重サンプリング回路を構成しようとした際の前述の欠点が大きな制約となるため、MOSトランジスタTR1のオン抵抗と容量C1による時間定数をこの範囲値にすることが難しく、リセット雑音を充分に除去することができず、画質が悪化する欠点があった。

【0013】 本発明の目的は、占有面積と消費電力を小さくでき、また、固体撮像素子の出力にバッファ回路が不要であって、かつ、時間定数が容易に最適な値に設定可能でリセット雑音を充分に除去することができ、したがって画質が改善できる、固体撮像素子用雑音除去回路を提供することにある。

【0014】

【課題を解決するための手段】 本発明の固体撮像素子用の集積化雑音除去回路は、ゲート付き電荷移動回路を備えた固体撮像素子の出力信号を入力する第1の入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、該バイアス回路で所定の動作電位に設定された出力信号中のリセット電位出力を、所定の基準電位にクランプする第1のクランプ回路と、接地に接続された第2の入力端子に接続され、第2の入力端子の電位を所定の基準電位にクランプする第2のクランプ回路と、前記所定の基準電位を与える基準電位源と、それぞれ第1、第2のクランプ回路の出力をサンプルホールドする第1、第2のサンプルホールド回路と、第1のサンプルホールド回路の出力から第2のサンプルホールド回路の出力を減算する減算回路を有し、半導体基板上に集積化されている相間二重サンプリング回路が

らなる。

【0015】本発明の他の固体撮像素子用雑音除去回路は、ゲート付き電荷積分回路を備えた固体撮像素子の出力信号を入力端子に接続され、該入力端子に動作点となる所定のバイアス電位を与えるバイアス回路と、前記固体撮像素子の出力信号中の雑音電位出力をサンプリングする第1のサンプリングホールド回路と、該固体撮像素子の出力信号中の信号電荷に対応した信号出力をサンプリングする第2のサンプリングホールド回路と、前記バイアス回路で所定の動作電位に設定された出力信号を第1および第2のサンプリングホールド回路の動作点電位にクランプするクランプ回路と、第1のサンプリングホールド回路の出力を、第2のサンプリングホールド回路のサンプリングパルスと同じサンプリングパルスでサンプリングする第3のサンプリングホールド回路と、第2のサンプリングホールド回路の出力から第1のサンプリングホールド回路の出力を減算する減算回路を有し、半導体基板上に集積化されている相関二重サンプリング回路からなる。

【0016】上述の雑音除去回路によれば、クランプ用の容量を集積回路の内部に構成することで、これも集積回路内部に構成されたクランプ用のトランジスタと併せて、外部の結合容量に依存することなくクランプ用の容量の値を決定できるので、クランプ回路の時定数の最適化が容易で、リセット雑音を完全に除去することができ、画質が改善できる固体撮像素子用の集積化雑音除去回路が実現できる。さらに、小さなサイズのMOSトランジスタと小さな容量でクランプ回路を構成でき、占有面積が小さく、かつ一定電位を与える電位V_{reset}の供給能力も小さくできる。また、固体撮像素子の出力にバッファ回路が不要であるため、撮像装置の消費電力を小さくできる。

【0017】

【発明の実施の形態】（実施例1）次に、本発明の実施の形態について図面を参照して説明する。図1を参照すると、ゲート付き電荷積分回路を備えた固体撮像素子を使用し、本発明による集積化された雑音除去回路を備えた固体撮像装置の一例が示されている。

【0018】固体撮像素子1の出力信号は相関二重サンプリング回路（CDS回路）5に供給される。駆動パルス発生回路9は固体撮像素子1を駆動すると共にこれと同期したクランプパルスとサンプリングパルスの二つのパルス10を相関二重サンプリング回路5に供給する。相関二重サンプリング回路5はゲート付き電荷積分回路のリセット雑音を除去する。相関二重サンプリング回路5でリセット雑音が除去された出力信号は、A/Dコンバータ6で所定の大きさに増幅を調整された後、アナログデジタル変換器（A/D変換器）7でデジタル信号に変換され、次に映像信号処理回路8で映像信号を形成している。

【0019】相関二重サンプリング回路（CDS回路）5は図5の従来例と同様に、信号処理103の中に集積化回路として構成されている。図2はこの相関二重サンプリング回路5の詳細な構成を示す。固体撮像素子1は図6で示した従来例と同様のゲート付き電荷積分回路を備えた固体撮像素子である。この固体撮像素子1の出力信号は結合容量C1を介して相関二重サンプリング回路（CDS回路）5の入力端子4に供給されている。結合容量C1を介してCDS回路5の入力端子4に入力された出力信号はバイアス回路11によって所定の動作点を与えられ、次にクランプ容量C2に接続される。このクランプ容量C2はMOSトランジスタTR1とでクランプ回路を構成している。この構成においては、外部の結合容量C1は図7の従来例の構成と異なり、単なる結合用の容量である。他方、相関二重サンプリング回路5における雑音除去のクランプ動作を行うための容量は図2に示した容量C2であり、このクランプ用の容量C2は集積回路の内部素子として構成されている。

【0020】ここで、結合用の容量C1の作用について説明する。固体撮像素子1の出力信号が、動作点となる直流電位をもって出力されているが、通常この直流電位は数V〜10数V程度であり、一方、集積回路で構成された相関二重サンプリング回路5の信号の入力端子の耐圧は通常5V以下であるため、固体撮像素子1の出力動作の直流電位が相関二重サンプリング回路5の信号入力端子の耐圧を上回っている。そこで、この外部の結合容量C1はこの出力の直流電位を遮断して相関二重サンプリング回路5の入力端子4に固体撮像素子1の出力の直流電位が印加されないようにする働きを行う。

【0021】次に、図2においてバイアス回路11は、固体撮像素子1の出力信号が結合容量C1で直流成分を遮断して入力端子4に印加されているため、信号処理103内部の回路動作に最適化あらかじの所定の動作点電位を与えるためのものである。このバイアス回路11で所定の動作点電位を与えられた出力信号は次に容量C2に印加される。

【0022】前記のとおり、相関二重サンプリング回路5における雑音除去のクランプ動作を行うための容量は図2における容量C2である。このクランプ容量C2は、MOSトランジスタTR1とでクランプ回路を構成している。MOSトランジスタTR1はクランプパルスによって固体撮像素子1の出力信号中のリセット電位を所定の電位V_{ref}にクランプする。クランプされた出力信号は、次にバッファ回路12に供給され、バッファ回路12の出力は次にMOSトランジスタTR3に供給される。MOSトランジスタTR3と容量C4はサンプリングホールド回路を構成し、サンプリングパルスによって固体撮像素子1の出力信号中の信号電位をサンプリングホールドして映像信号を得ている。

【0023】図3はこの相関二重サンプリング回路5の

動作を示す波形図である。期間T1は固体撮像素子のゲート付き電荷積分回路のリセット動作を行っている期間、期間T2はリセット後の基準電位出力期間、期間T3は信号電位出力期間である。基準電位出力は1画素ごとのリセット動作毎にリセット雑音が発生するため、図3のCCD出力信号波形に示すとおり、時刻t0の基準電位出力に対して、時刻t1では V_{n1} 、時刻t3では V_{n2} 、時刻t5では V_{n3} と電位が変動してリセット雑音が発生している。信号電荷による出力信号はこの基準電位から信号電荷量に応じて変化するから、図3に示すとおり、時刻t1でMOSトランジスタTR1をクランプパルスによってオンし、固体撮像素子1の出力信号中の電位変動を起こしている基準電位出力を所定の電位 V_{ref} にクランプするとリセット雑音による電位変動成分が除去される。次に、時刻t2で信号電荷に対応した出力信号をサンプリングホールドするとリセット雑音が除去された信号が得られる。

【0024】周知のとおり、相関二重サンプリング回路5の動作は、図3のCCD出力信号波形に示すとおり、時刻t0の電位を基準に見ると、時刻t1では V_{n1} 、時刻t3では V_{n2} 、時刻t5では V_{n3} のリセット雑音が発生しているからMOSトランジスタTR1をクランプパルスによってオンし、固体撮像素子1の出力信号中の電位変動を起こしている基準電位出力を所定の電位 V_{ref} にクランプしてこのリセット雑音を除去している。このリセット雑音を完全に除去するためにはMOSトランジスタTR1とクランプ容量C2とのクランプ時定数を最適に設定する必要がある。

【0025】図2に示した結合容量C1とクランプ容量C2の静電容量の関係を $C1 \gg C2$ となるように設定すると、クランプ時定数は結合容量C1に依存せず、クランプ容量C2だけで決定することができる。したがって相関二重サンプリング回路5を信号処理IC3の中に集積化回路として構成する時にMOSトランジスタTR1は従来のように外部の容量C1に依存する必要がなく、クランプ容量C2に合わせた小さいサイズのトランジスタでよいのでCMOS集積回路で構成するときに小さな占有面積でよい。同様に、一定電位を与える電位 V_{ref} も供給能力を小さくすることができる。

【0026】また、MOSトランジスタTR1とクランプ容量C2をそれぞれ最適化することが容易にでき、その結果、相関二重サンプリング回路5からは雑音が完全に除去された出力信号が得られる。さらに、相関二重サンプリング回路5の入力端子4の静電容量はほぼクランプ容量C2に等しく、非常に小さな値であるため、図1において示したバッファ回路2を、通常、不要にすることができる。

【0027】図4にこの入力端子4と固体撮像素子1との出力信号の接続を示す。図4において、固体撮像素子1の周知のゲート付き電荷積分回路(フローティング拡

散層アンプとも呼ばれる。)で信号電荷が電圧信号に変換されている。永平CCD15から読み取られてきた信号電荷 Q_s はフローティング拡散層C11で、 $V_s = Q_s / C11$ の関係式で電圧 V_s に変換され、次にMOSトランジスタTR2、TR3、TR4、TR5から成るソースフォロワ回路で外部に出力されている。このMOSトランジスタTR2、TR3、TR4、TR5から成るソースフォロワ回路はフローティング拡散層C11の微分信号電圧 V_s を外部に取り出せるように出力インピーダンスを小さくする動作を行っている。しかしながら、周知のとおり、ソースフォロワ回路の出力インピーダンスは数100オーム程度で比較的高い出力インピーダンスである。このため大きな負荷を駆動することができない。しかしながら、本発明の相関二重サンプリング回路5は前述のとおり、入力端子4の静電容量はほぼクランプ容量C2に等しい非常に小さな値で負荷が非常に小さいため、このソースフォロワ回路で駆動することが容易に可能である。したがって、図4に示したとおり、固体撮像素子1のソースフォロワ回路から得られる出力信号を、前記したソースフォロワ回路の出力の電圧電圧を遮断するための結合容量C1を介して相関二重サンプリング回路5に直接入力することができ、固体撮像素子1と相関二重サンプリング回路5との間にバッファ回路が不要にできる。

【0028】なお、図4において、容量C3、MOSトランジスタTR2、バッファ回路13、MOSトランジスタTR4、容量C5からなる回路は、クランプ容量C2、MOSトランジスタTR1、バッファ回路12、MOSトランジスタTR3、容量C4と同一構成の回路である。容量C3は入力が接地されており、この回路は前記サンプリングホールドされた映像信号のクランプパルスとサンプリングパルスの影響を除去するためのもので、減算回路14の入力端子に接続されており、正入りに接続された前記サンプリングホールドされた映像信号から減算してクランプパルスとサンプリングパルスの影響を除去している。

【0029】相関二重サンプリング回路5の出力は次に周知の映像信号処理を行ってカラー映像信号を形成する。すなわち図1の第1の実施形態においては、必要ならばAGC回路6で所定の大きさに振幅を調整された後、アナログデジタル変換器(A/D変換器)7でデジタル信号に変換され、次に映像信号処理回路8で映像信号を形成している。

(実施形態2) 次に、本発明の第2の実施形態について図5を参照して説明する。第2の実施形態は、固体撮像素子のゲート付き電荷積分回路のリセット後の基準電位出力と信号電位出力とをそれぞれサンプリングホールドし、この二つの信号の差分を求めてリセット雑音を除去する構成となっている。

【0030】固体撮像素子1の出力信号は結合容量C1

을介して, 相關二重サンプリング回路 5의 入力端子 4에 供給される. バイアス回路 10は第1의 実施形態と同様に, 入力された固体撮像素子 1의 出力信号に所定の動作点を与えるものである. 本実施形態のバイアス回路 10は固体撮像素子 1의 出力信号のブランキング期間の無信号時にバイアスクラмпパルスによって所定の電位にクラмпして固体撮像素子 1의 出力信号に所定の動作点を与える構成となっているが, 図 2의 実施形態のバイアス回路 11のように直流を与える構成でもよい.

【0031】次に, 所定の動作点を与えられた出力信号は, クラмп容量 C2에 供給される. このクラмп容量 C2はクラмп回路 17とでクラмп回路を構成する. クラмп回路 17は固体撮像素子 1의 出力信号を次段의 サンプリングホールド回路の動作点に合わせて直流電位を決める動作を行うクラмп回路で, 固体撮像素子 1의 出力信号のブランキング期間の無信号時に固体撮像素子 1의 出力信号をOCクラмпパルスによってS/H回路の動作点の電位にクラмпする.

【0032】次に, 動作点の電位にクラмпされた出力信号を, 次に, 固体撮像素子 1의 出力信号中の信号電荷に対応した出力信号をサンプリングホールド回路(S/H回路) 19でサンプリングホールドする. 同様に, サンプリングホールド回路 19で固体撮像素子 1의 出力信号中の基準電位をサンプリングホールドする. 信号電荷に対応した出力信号の出力期間と基準電位の出力期間は異なるため, この時間を合わせるため, サンプリングホールド回路 19でサンプリングホールドされた固体撮像素子 1의 出力信号中の基準電位を, サンプリングホールド回路 20によって固体撮像素子 1의 出力信号中の信号電荷に対応した出力信号をサンプリングホールドするサンプリングパルスと同じサンプリングパルスでサンプリングホールドして信号電荷に対応した出力信号と位相を合わせる. 次に減算回路 14でサンプリングホールド回路(S/H回路) 18とサンプリングホールド回路 20의 出力の差分を求めるとリセット雑音が除去された信号が得られる. 以後の信号処理は第1의 実施形態と同様である.

【0033】

【発明の效果】以上説明したように, 本発明は, クラмп用の容量を集積回路の内部に構成することで, 集積回路内部に構成されたクラмп用のトランジスタと併せて, クラмп回路の特性が最適になるようにクラмп用の容量の値を設定できる.

【0034】クラмп容量とクランプトランジスタが外部の容量に依存することなく最適化することができるから, 小さな寸法のMOSトランジスタと小さな容量でクラмп回路を構成でき, 占有面積が小さく, かつ, 一定電位を与える電位V_{ref}의 供給能力も小さくできる.

したがって, 一定電位を与える電位V_{ref}의 消費電力が少なく, また, 固体撮像素子の出力にバッファ回路が不要にできるため消費電力が小さくできる.

【0035】以上に加えて, MOSトランジスタT_{R1}의 オン抵抗と容量C2による時定数の最適化が容易にでき, リセット雑音を十分に除去することができ, 画質が改善できる固体撮像素子用の集積化雑音除去回路が実現でき, 従来の問題点が解決できる.

【図1】本発明による集積化された雑音除去回路を適用した固体撮像装置(例)を示す構成図である.

【図2】相關二重サンプリング回路の異なる構成を示す構成図である.

【図3】相關二重サンプリング回路の動作を示す波形図である.

【図4】入力端子4と固体撮像素子1との出力信号の接続を示す図である.

【図5】本発明の第2의 実施形態を示す構成図である.

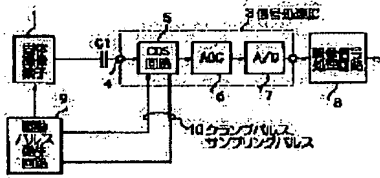
【図6】従来の, ゲート付き電荷積分回路を備えた固体撮像素子を使用した固体撮像装置の一例を示す構成図である.

【図7】従来の相關二重サンプリング回路の具体的な構成例を示す回路図である.

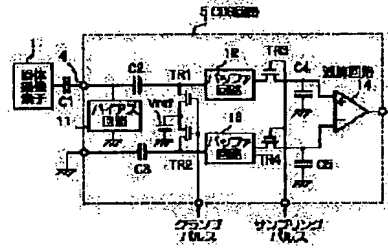
【符号の説明】

- 1 固体撮像素子
- 2 バッファ回路
- 3 信号処理IC
- 4 入力端子
- 5 相關二重サンプリング回路
- 6 AGC回路
- 7 アナログデジタル変換器
- 8 映像信号処理回路
- 9 駆動パルス発生回路
- 10 クラмпパルス, サンプリングパルス
- 11 バイアス回路
- 12, 13 バッファ回路
- 14 減算回路
- 15 バイアス回路
- 16 クラмп回路
- 17, 18, 20 サンプリングホールド回路
- 21 信号処理IC
- 22 相關二重サンプリング回路
- 23 AGC回路
- 24 アナログデジタル変換器
- 25, 26 バッファ回路
- C1~C5 容量
- T_{R1}~T_{R4} トランジスタ
- V_{ref} 基準電圧源

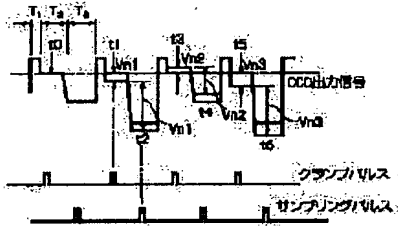
【圖 1】



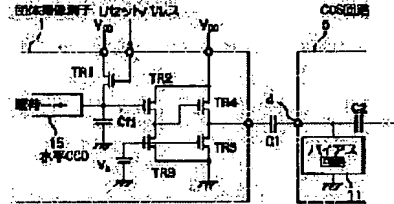
【圖 2】



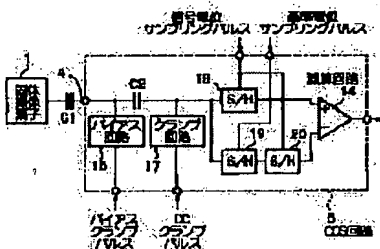
【圖 3】



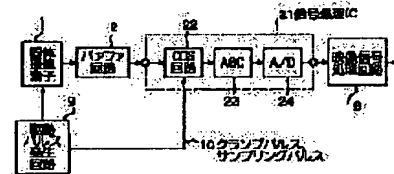
【圖 4】



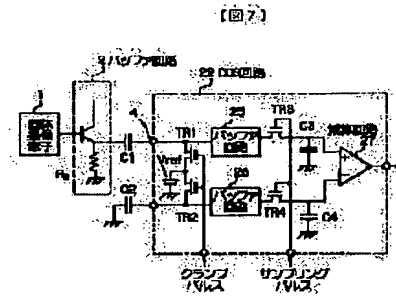
【圖 5】



【圖 6】



[첨부그림 8]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.